

基于 LVDS 的高可靠性数据传输设计

易 敏, 苏淑靖

(中北大学 电子测试技术重点实验室, 山西 太原 030051)

摘 要: 针对高速长线数据传输中可靠性低的问题, 提出了一种均衡可靠性和高速传输的设计. 设计中以 LVDS 作为传输高速接口, FPGA 作为逻辑控制芯片, 在硬件电路上加入均衡电路和软件程序上采用正反差错编码方式两方面提高传输可靠性. 对总体设计方案和各电路模块进行了详细介绍和分析, 以及对程序的实现进行了描述. 最后给出了设计的试验结果, 验证了本设计的传输可靠性.

关键词: LVDS 接口; 高可靠性; 数据传输; FPGA

中图分类号: TN919

文献标识码: A

文章编号: 1000-7180(2014)09-0131-04

High Reliability of Data Transmission Design Based on LVDS

YI Min, SU Shu-jing

(National Key Laboratory of the Electronic Measurement Technology, North University of China, Taiyuan 030051, China)

Abstract: Aiming at the problem of low reliability in high speed data transmission over a long distance, this paper proposes a design that balanced reliability and high-speed transmission. The design is used LVDS as the high-speed transmission interfaces, FPGA as the logic control chip, the hardware circuit joined the equalization circuit and software program used positive and inverse codes as error control coding improve transmission reliability. The overall design scheme and the circuit module has carried on the detailed introduction and analysis, and has described the implementation of the program. Finally presents the design of the test results, also verify the transmission reliability of the design.

Key words: LVDS interface; high reliability; data transmission; FPGA

1 引言

随着电子信息技术的飞速发展, 对数据在高速传输速率和远距离通信的可靠性要求越来越高. 现今的工业化应用也越来越追求数据传输的可靠性能, 并寻求远距离传输、数据准确性及信道容量三方面的平衡^[1-3], 即在远距离传输的条件下需要保持很高的数据传输速率和很低的误码率. 目前的一些研究和应用在这三方面不能取得很好的平衡, 因此采用新的设计方法实现三者之间的平衡显得越来越重要, 而 LVDS 接口高速、低功耗、低噪声的特点为高速传输提供了技术方法, 其相应的电缆驱动器和均衡器的使用则为解决远距离可靠性通信的问题提供

了可能.

本文提出了一种基于 LVDS 的高可靠性高速数据传输设计, 其具有极低误码率远距离传输的特点, 达到了平衡距离、速度、准确性三方面的目的, 并且传输速率可达 320 Mb/s, 误码率低于 10^{-8} .

2 总体设计方案

本设计采用型号为 XC3S500E 的 FPGA 芯片作为逻辑控制单元, Spartan-3E FPGA 引脚支持时下很多流行的单端和差分标准, 包括 3.3 V 低压 TTL、2.5 V LVPECL 输入、LVDS 以及 B-LVDS, 能够完成高速传输接口的设计, 设计总体框图见图 1, 其中数据发送设备数据输出部分以及指令接收部

收稿日期: 2013-11-13; 修回日期: 2014-01-08

基金项目: 国家自然科学基金项目(61004127)

分和数据传输卡对应的一样. 选用 DS92LV18 总线 LVDS 串化/解串器作为高速物理层接口芯片, 其具有 15~66 MHz 串化/解串时钟、独立发送和接收控制引脚和低功耗 BLVDS 的特点. CY7C68013A 作为与计算机连接的 USB 微控制器, 其具有常规可编程接口(GPIF)、极低功耗、USB 2.0 通信协议等特点, 与外部 EEPROM 芯片 24C64A、电压调整芯片 MAX1658 组成了整个 USB 接口通信电路.

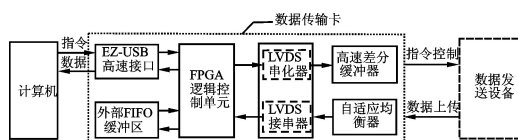


图1 系统总体框图

系统工作原理: 计算机给数据接收卡下发指令控制信号, 信号在 FPGA 逻辑控制单元进行正反编码, 之后将并行指令信号经过串化器转化为串行比特流. 数据发送设备对串行信号进行解码, 当判断出传输指令时开始发送编码后的数据. 数据经过均衡器调理后传递给解串器进行解串处理, 在 FPGA 内解码后上传给计算机. 在硬件和软件设计中都对影响可靠性的因素进行了处理, 提高了高速传输时信号的可靠性.

3 硬件电路设计

3.1 LVDS 接口电路

低压差分接口技术(LVDS)具有 ± 350 mV 低摆幅输出电压, 高达 3 Gb/s 的传输速率, 低功耗以及极低噪声的优点, 这些特点使得其在高速电路设计中经常被用作物理层接口电路设计^[3]. 而且在 LVDS 驱动器-接收器对的应用中, 接收器的阈值电压可以保证为 100 mV 或更低, 可在 0~2.4 V 的宽共模范围内维持这样的灵敏度, 其可提供出色的因此, LVDS 是一种效率极高的技术, 能提供高速数据的传输. 在本设计中采用集成高速串化器和高速解串器于一体的 DS92LV18 芯片, 以完成数据或指令的高速串化和解串. 考虑到信号反射, 用 100 Ω 电阻进行阻抗匹配.

电缆和 PCB 导线上的损耗会使高频信号的边沿变化速率降低, 引入码间串扰, 导致在高频长距离传输时信号的损耗衰减. 为了解决信号的衰减和损耗, 在本设计中采用了信号调理和预(去)加重及均衡(EQ)技术芯片对高频传输信号进行补偿, 提高了传输性能. DS15BA101 和 DS15EA101 是一对电缆

延展器对, 可以完成高速长线传输的信号调理作用, 降低信号的衰减和损耗, 提高系统高速远距离传输时的可靠性^[4]. 数据接收卡的 LVDS 接口电路如图 2 所示.

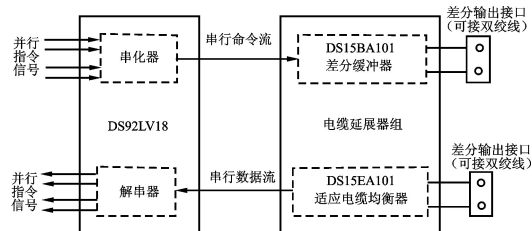


图2 LVDS 接口电路

3.2 USB 接口电路

计算机通过 USB 接口电路实现数据传输和指令控制, 并完成数据分析和显示的功能. 本设计采用 USB 接口电路, 实现底层电路和计算机之间高速数据的传输. 选用 Cypress 公司的 EZ-USB 系列芯片 CY7C68013 作为 USB 接口芯片, 该芯片包含有 8051 内核、串行接口引擎(SIE)、片上 RAM 以及通用可编程接口(GPIF)等模块^[5]. 并且 CY7C68013A 是一种常用的高速 USB 外设微控制器, 其具有 4 个可配置端点 RAM(EP2/EP4/EP6/EP8)、3 种缓冲区大小(2 倍/3 倍/4 倍)、4 种传输模式(中断/批量/控制/等时)等特点, 能够胜任高速传输的任务要求.

使用外部的 24C64A (EEPROM) 芯片实现 USB 固件程序的加载, 接口电路的电压采用 USB 总线供电方式, MAX1658 将总线的 5 V 电压调整为接口芯片和 EEPROM 芯片可使用的 3.3 V 电压. 上电复位之后 FX2LP 通过 I²C 接口自动引导加载 VID/PID/DID 等配置信息, 需要注意的是 I²C 引脚 SCL 和 SDA 必须有一个 2.2 k Ω 外部的上拉电阻, 即使没有外部 EEPROM 连接. USB 接口通信电路连接如图 3 所示, 右端引脚与 FPGA 相连.

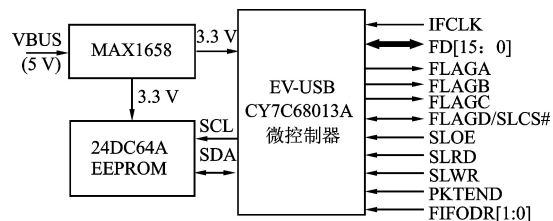


图3 USB 接口电路

USB 2.0 通信协议包括 2 种信号传输模式, 在本设计中采用高速模式(信号传输速率可达 480 Mb/s)作为数据上传方式.

4 软件设计

4.1 FPGA 控制程序

数据接收卡的 FPGA 逻辑控制中心主要完成高速 LVDS 接口的数据接收和指令发送,对 LVDS 接收到的数据进行解码和解串,并通过外部 FIFO 缓冲器上传给计算机.数据的上传缓冲通过外部 FIFO 芯片的空/满(full/empty)标志来控制实现,指令的下发则无需经过外部 FIFO 芯片,其直接通过 FPGA 控制 LVDS 接口输出.

指令信号在 FPGA 中正反差错编码成 18 位后经高速串化器发送给数据发送设备,而上传的数据经解串后在 FPGA 内进行解码,得到有效的数据上传给计算机处理和分析,其 FPGA 内部程序实现框图见图 4.

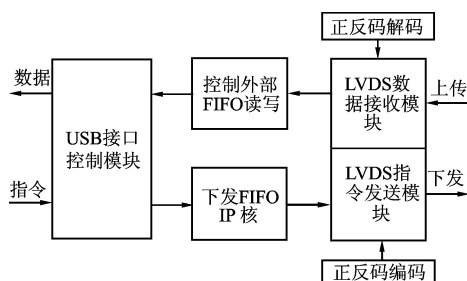


图4 FPGA 程序框图

4.2 固件配置

固件的配置、设备驱动程序设计以及应用程序的设计是 USB 设备的软件开发的三个重要组成部分^[6].而固件的配置是实现 USB 高速传输的基础,在本设计中采用高速的 SlaveFIFO 模式,由 FPGA 逻辑控制单元控制 68013 数据上传和指令下发的过程.

SlaveFIFO 模式中应用到的引脚主要有接口时钟 IFCLK、状态标志位 (FLAGA、FLAGB、FLAGC、FLAGD/SLCS#)、读写控制位 (SLOE、SLRD、SLWR)、端点 FIFO 选择位 FIFOADR[1:0]、包结束位 PKTEND 以及 16 位数据总线 FD[15:0].其中 IFCLK 接口时钟大小为外部 FPGA 提供的 20 MHz 分频时钟,配置为输入时钟 (IFCONFIG.7=0),范围为 5~48 MHz.

EZ-USB FX2LPTM包含 4 kB 的 FIFO 缓冲区,在本固件中将 EP2 端点设置为 3 缓冲区,大小为 3×1024 字节,EP8 设置为 512 字节双缓冲区,EP4/EP6 没有使用.当 FIFOADR[1:0]="00"时选择 EP2,"11"选择 EP8,EP2 作为数据上传缓冲区,EP8 作为指令下发缓冲区.缓冲区的大小和数量也

决定了数据上传的速度,故 EP2 作为数据上传 FIFO 缓冲.

4.3 差错编码

数字通信系统的设计中,通常可以采用均衡的办法纠正由乘性干扰引起的码间串扰,然而加性干扰的影响则需要通过其他方法来降低或消除,如前面所述的 LVDS 接口技术、LVDS 驱动均衡方法等.然而为了进一步降低误码率,提高数据传输的可靠性,仅通过硬件电路优化是不够的,由此提出了差错编码控制的手段,从软件方面入手提高数据传输的可靠性^[7].

正反码差错编码方式中当信息码中有偶数个“1”时监督码是信息码的反码,当信息码中有奇数个“1”时,监督码是信息码的简单重复.例如信息码为 011100101 时则码组为 011100101011100101;若信息码为 111111110 时则码组为 1111111000000001.

在接收端以图 5 所示的正反码数据解码流程图进行解码分析以及纠错.这种编码方式具有纠正 1 位错码的能力,并能够检测全部 2 位以下的错码和大部分 2 位以上的错码,故采用正反前向纠错码进一步提高数据传输的可靠性^[1].

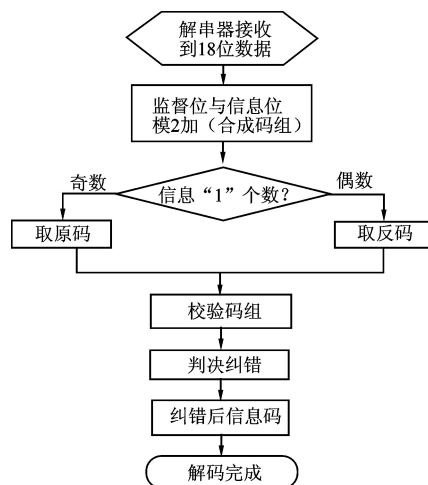


图5 正反码数据解码流程图

5 试验结果与验证

本设计对接被测发送设备,两者间用 20 m 的双绞线相连,经过多次测试,证明了 LVDS 高速传输的可靠性.图 6 所示为是测试系统可靠性时计算机并记录的一段数据,被测发送设备发送的自增数,实线框内的“EB+90”为帧头,“00 01~00 1D”为被测发送设备帧计数标志(为递增数),00~1F 为接收的自增数,测试中 LVDS 的信号传输频率为 40 MHz(有效信道容量 320 Mb/s),频率范围可调节

